

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

97 P 8023



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 196 21 244 A 1**

⑤① Int. Cl.⁸:
H 01 L 21/336
H 01 L 29/78
H 01 L 21/3105
H 01 L 29/423

②① Aktenzeichen: 196 21 244.8
②② Anmeldetag: 25. 5. 96
②③ Offenlegungstag: 14. 11. 96

B5

DE 196 21 244 A 1

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑦① Anmelder:

Eisele, Ignaz, Prof. Dr., 82057 Icking, DE; Kaesen,
Florian, Dipl.-Phys., 82008 Unterhaching, DE

⑦② Erfinder:

gleich Anmelder

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Vertikale Transistoren, bei denen das Gate durch Planarisierung und Rückätzen quasi selbstjustierend strukturiert wird

⑤⑦ Mit vertikalen MOS-Transistoren wären aufgrund der möglichen kurzen Kanallängen (unter 50 nm) Grenzfrequenzen von über 100 GHz in Silizium möglich, wenn die parasitären Kapazitäten des Gates genügend klein wären. Mit dem vorgestellten Verfahren werden die Gateüberlappkapazitäten durch eine Prozeßabfolge aus Schichtabscheidungen, Planarisierungen und Rückätzungen erheblich reduziert. Da gleichzeitig die realisierbare Gateweite pro Chipfläche erhöht wird, werden durch dieses Verfahren neben vertikalen Hochfrequenztransistoren auch vertikale Leistungstransistoren, sowie die dreidimensionale Stapelung von Transistoren für vertikale Gatter möglich bzw. deren Leistung verbessert.

DE 196 21 244 A 1

Stand der Technik

Für den vertikalen Feldeffekttransistor werden die Dotierungen für Source, Drain und Kanalregion nicht durch Implantation hergestellt, sondern mit CVD oder MBE wird ein entsprechender Schichtstapel lokal gewachsen oder ganzflächig auf dem Wafer abgeschieden, aus dem dann trockenchemisch Mesas geätzt werden. Nach der Gateoxidation wird ein Gate abgeschieden und strukturiert, so daß an der Seitenwand des Mesas ein steuerbarer Inversionskanal erzeugt werden kann. Da mit MBE und CVD scharfe Dotierübergänge abgeschieden werden können, können so Transistoren mit extrem kurzen Kanallängen ($< 50 \text{ nm}$) hergestellt werden [1,2]. Bisher hatten jedoch die Gates große Überlappkapazitäten, so daß die Transistoren für Hochfrequenzanwendungen ungeeignet waren (siehe Abb. 1a). Da das Gate nur durch das Gateoxid von den n^+ -Kontakten isoliert ist, ergeben sich bei den wünschenswert geringen Gateoxiddicken große Überlappkapazitäten (siehe Bild 1a). Die Dicke der oberen n^+ -Schicht beträgt typischerweise 200 nm , um sicherzustellen, daß mit der oberen Metallisierungsschicht nicht direkt der Kanalbereich kontaktiert wird. Um sicherzugehen, daß bei der Mesaätzung durch die Schicht der Kanalregion geätzt wird, muß entsprechend überätzt werden. Zu diesem Überlapp des Gates an den Seitenflächen des Mesas kommt noch der Gateüberlapp auf der Meso- oberseite und dem Substrat hinzu, der durch die Güte der Photolithographie bestimmt ist, und minimal mehrere hundert Nanometer beträgt.

Die dem Patent zugrundeliegende Aufgabe ist es, den Transistor für Hochfrequenzanwendungen geeignet aufzubauen. Dazu wird der Gateüberlapp drastisch reduziert. Gleichzeitig kann damit der Platzbedarf für einen Transistor etwa um einen Faktor drei reduziert werden. Daraus resultiert ein besseres Verhältnis Mesaumfang (= Gateweite) zu Mesafläche (verantwortlich für den Leckstrom) und so ein verbessertes $R_{DS, \text{on}}$ -zu- $R_{DS, \text{off}}$ -Verhältnis des Transistors. Dies wird auch durch die Tatsache günstig beeinflusst, daß bei dem neuen Konzept die gesamte Oberseite des Mesas (und nicht nur zwangsweise kleinere Kontaktlöcher) kontaktiert wird.

Nach den bisherigen Verfahren würde dazu die laterale Strukturierung mit einer Genauigkeit von wenigen Nanometern benötigt, die nur mit größtem technologischen Aufwand möglich ist. Die vorgestellte Lösung der Aufgabe ersetzt die laterale Strukturierung durch eine Abfolge von Abscheide- und Ätzprozessen, deren Auflösung in vertikaler Richtung die geforderte Genauigkeit mit heutigen Mitteln erreicht und zugleich kostengünstig zu kontrollieren ist. Durch Kombination von Abscheiden, Planarisieren und Rückätzen kann so die Strukturierung des Gates quasi selbstjustierend vorgenommen werden. Photolithographie ist nur noch zur Trennung der Gates zu benachbarten Transistoren nötig, die deshalb nicht hochauflösend sein muß. Zusätzlich können auch die Überlappkapazitäten an den vertikalen Flanken des Mesas, die nach heutigem Stand der Technik unvermeidbar sind, reduziert werden. Der photolithographische Schritt zur Kontaktlochoffnung auf der Meso- oberseite wird eingespart. Daraus resultiert die Möglichkeit die Mesafläche deutlich zu verkleinern (siehe Abb. 1), sowie die Deckschicht deutlich dünner aus-

Beispiel einer Prozeßsequenz: (siehe Abb. 4)

5 Nach der obengenannten Schichtabscheidung der Kanalregion und der oberen Deckschicht, die ev. zusätzlich zum Verringern der Serienwiderstände implantiert werden kann, und Mesaätzung kann zur Glättung der Ätzflanken ein thermisches Opferoxid gewachsen werden. Nun wird ein Spacer z. B. CVD-Oxid oder SpinOn-Glass abgeschieden. Nach der Planarisierung mit Photolack wird der Photolack selektiv (z. B. trockenchemisch mit O_2 -Plasma) soweit rückgeätzt, daß die Mesa- oberseiten freistehen bleiben, aber noch eine genügend dicke Schutzschicht auf dem Oxid unterhalb des Mesas erhalten bleibt. Nun wird (z. B. mit Flußsäure) das Oxid um den Mesa selektiv zu Silizium soweit geätzt, daß die Oberkante des Oxids mit dem unteren Ende der Kanal- region übereinstimmt. In diesem Schritt wird auch ein mögliches Opferoxid entfernt. Nach dem Entfernen des Photolacks wird nun ganzflächig (z. B. thermisch) das Gateoxid gewachsen und dotiertes Polysilizium als Ga- temetallisierung abgeschieden. Nach der Planarisierung mit Photolack wird dieser wie oben beschrieben auf freiliegende Meso- oberseiten zurückgeätzt. Anschlie- 20 bend wird das Polysilizium selektiv zu Oxid z. B. mit SF_6 geätzt. Die Ätzzeit muß so gewählt werden, daß am Mesarand die verbleibende Dicke von Polysilizium mit dem oberen Ende der Kanalregion übereinstimmt. Da das Polysilizium nur am Rand des Mesas geätzt wird, kann die Länge der Kanalregion größer und kleiner als die Polysiliziumdicke sein. Nun wird das verbliebene Polysilizium um die Mesabasis Mithilfe eines photoli- 25 thographischen Schrittes und Ätzen (z. B. mit SF_6) strukturiert, um eine elektrische Trennung der Gates der verschiedenen Transistoren zu ermöglichen. Dieser Schritt kann bei günstiger Prozeßführung mit dem vorherigen Rückätzen des Polysilizium vereinigt werden.

Anschließend wird wieder mit Oxid planarisiert. Die Meso- oberseite kann nun direkt mit Metall kontaktiert werden.

Anmerkung: Bei dieser Prozeßsequenz wird der Gateisolator direkt vor der Abscheiden der Gatemetallisierung hergestellt und wird somit nicht durch einen Pro- 45 zeß nachteilig beeinflusst.

Anwendungen

Mit der hier vorgestellten Technologie können nicht nur vertikale Transistoren mit hohen Grenzfrequenzen, sondern auch vertikal gestapelte Logikbausteine wie In- 50 verter, AND-Gatter u. a. einfach realisiert werden. Als Beispiel soll in Bild 2 die Stapelung zweier Transistoren als wesentlicher Bestandteil eines AND-Gatter dienen. Die oben genannte Prozeßsequenz muß hierbei zwei- 55 mal hintereinander durchgeführt werden.

Genauso ist die Realisierung von höheren Gattern (z. B. mit p- und n-dotierten Polygates in einer Struktur wegen den Einsatzspannungen) möglich.

Auch ist mit diesem Konzept der Aufbau vertikale Leistungstransistoren mit geringerem Durchschaltwiderstand und geringeren Leckströmen möglich, da wegen der kleineren Mesas mehr Gateweite sowohl pro Chipfläche, als auch Mesafläche realisiert werden kann. 60 Zusätzlich wird der Einschaltwiderstand durch die Kontaktierung der gesamten Meso- oberseite reduziert: (siehe Bild 3).

[1] I. Eisele, H. Baumgärtner, W. Hansch, J. Crystal

Growth 157 (1995) 248—254

[2] L. Risch, W. H. Krautschneider, F. Hofmann, H. Schäfer, ESSDERC 95 (1995).

Patentansprüche

5

1. Bauelemente, bei denen der Stromfluß durch eine Steuerelektrode an der Mesaseitenwand beeinflusst wird, dadurch gekennzeichnet, daß die parasitären Kapazitäten minimiert sind durch eine Prozeßsequenz, in der die Überlappkapazitäten nicht mehr durch die Güte der lateralen Strukturierung des Gates bestimmt werden, sondern durch Planarisierungsschritte bezüglich der Meso- oberseite und kontrollierte Ätz- und Abscheideprozessen, mit denen die Steuerelektrode auf einem vorher auf dem Substrat aufgetragenen Isolator abgeschieden wird.

10

15

2. Bauelemente nach Anspruch 1, dadurch gekennzeichnet, daß direkt vor dem Abscheiden der Schicht für die Steuerelektrode der Gateisolator abgeschieden oder thermisch gewachsen wird.

20

3. Bauelemente nach Anspruch 1, bei denen der Stromtransport vertikal erfolgt, dadurch gekennzeichnet, daß der obere Kontakt durch Abscheiden einer leitenden Schicht ganzflächig auf der Meso- oberseite realisiert wird, indem die Zwischenräume zwischen den Mesen ganz oder teilweise mit einem Isolator aufgefüllt werden.

25

4. Transistoren nach Anspruch 1, dadurch gekennzeichnet, daß die einzelnen Schichten jeweils nach der Abscheidung und nach der Planarisierung z. B. mit Photolack so zurückgeätzt wird, daß die Oberseite der ersten Isolatorschicht mit der Unterkante der Schicht im Mesa, die mit der Gateelektrode versehen werden soll, übereinstimmt und die Dicke der Gateelektrode am Mesa der Dicke der Schicht im Mesa, die mit der Gateelektrode versehen werden soll, entspricht.

30

35

Hierzu 3 Seite(n) Zeichnungen

40

45

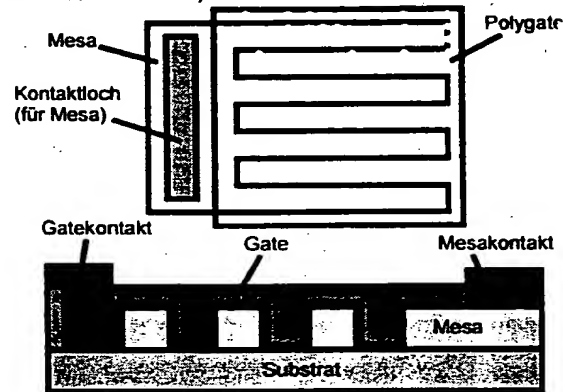
50

55

60

65

a) Realisierung eines Leistungstransistors mit altem Konzept (schematischer Aufbau)



b) Realisierung eines Leistungstransistors mit neuem Konzept (schematischer Aufbau)

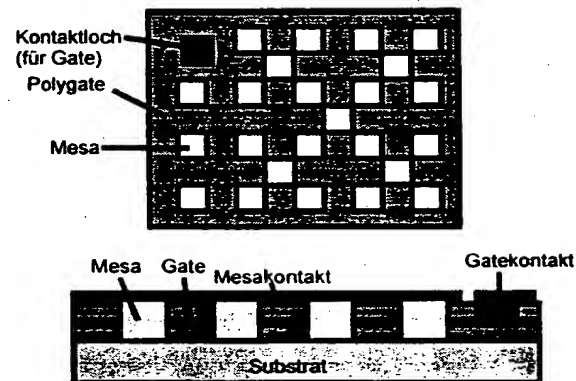


Abbildung 3: Schematischer Aufbau von Leistungstransistoren nach neuem und altem Konzept

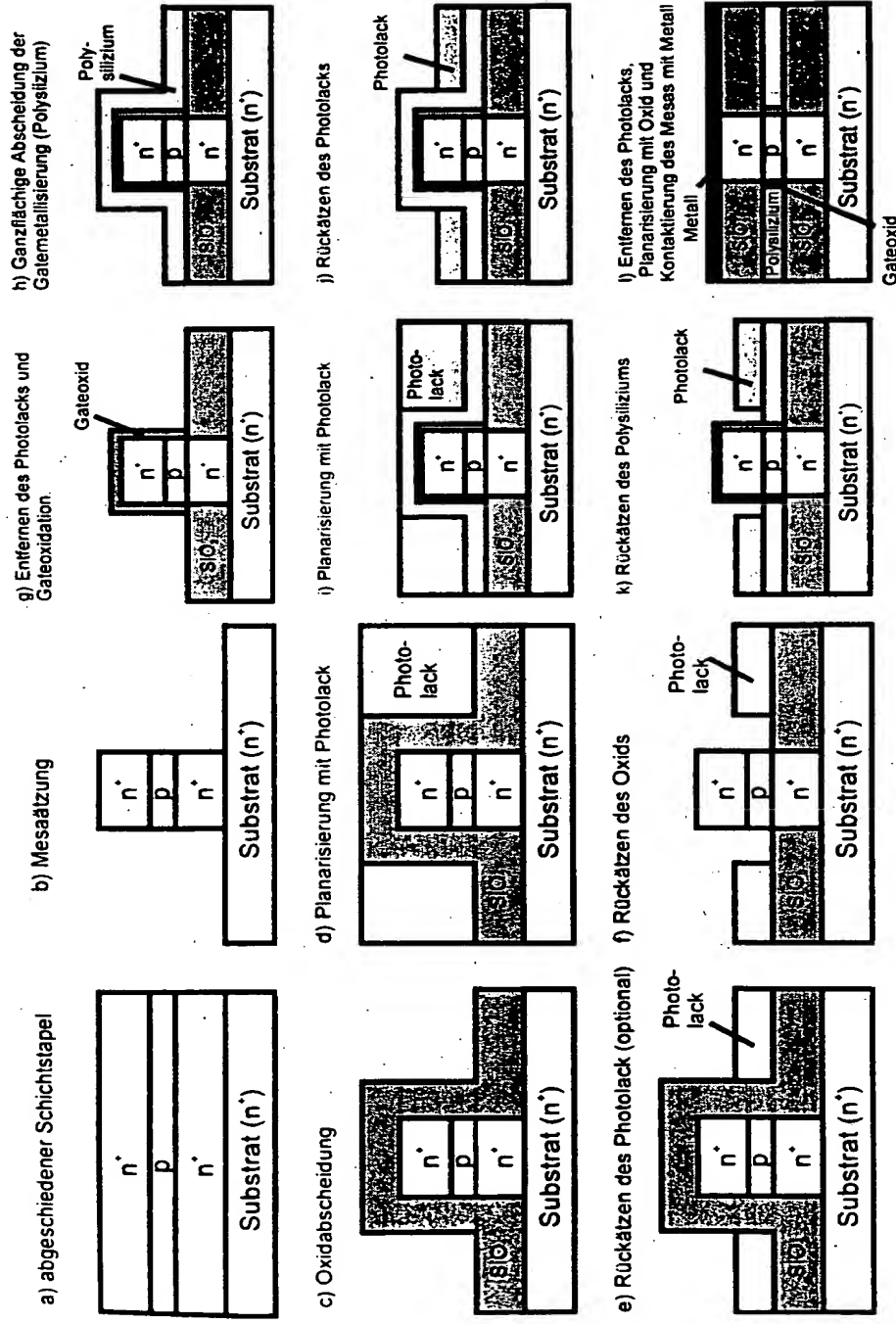


Abbildung 4: Beispiel einer Prozeßsequenz

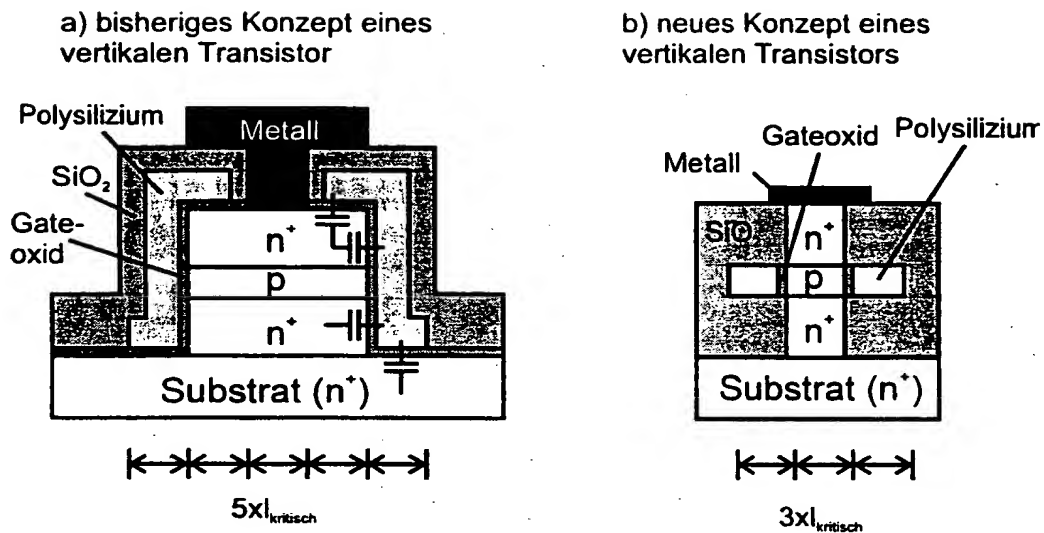


Abbildung 1: Schematische Darstellung des alten (a) und neuen (b) Konzepts eines vertikalen Transistors

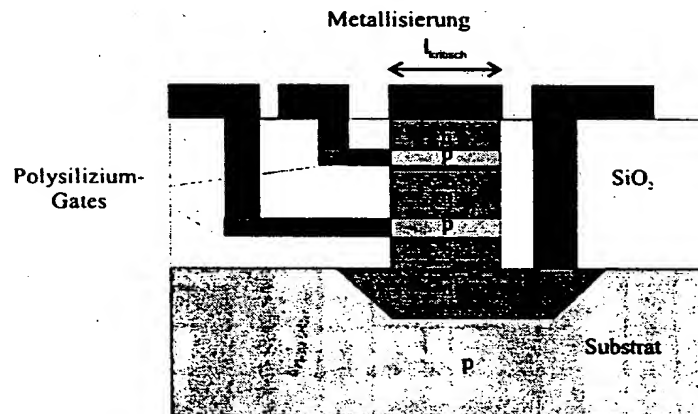


Abbildung 2: Stapelung zweier Transistoren als Hauptbestandteil eines And-Gatter

File 351:DERWENT WPI 198 1999/UD=9934;UP=9934;UM=9934

(c)1999 Derwent Info Ltd

*File 351: New abstract and indexing content available. For details
see HELP NEWS 351.

Set Items Description

?s pn=de 19621244

S1 1 PN=DE 19621244

?t s1/5

1/5/1

DIALOG(R)File 351:DERWENT WPI

(c)1999 Derwent Info Ltd. All rts. reserv.

011010181 **Image available**

WPI Acc No: 96-507131/199651

XRPX Acc No: N96-427295

Semiconductor component, e.g. vertical MOS transistor - has control
electrode deposited on jutting out part of substrate deposited insulator
with gate insulation layer having been deposited or thermally grown
immediately before electrode deposition

Patent Assignee: EISELE I (EISE-I); KAESEN F (KAES-I)

Inventor: EISELE I; KAESEN F

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 19621244	A1	19961114	DE 1021244	A	19960525	H01L-021/336	199651 B

Priority Applications (No Type Date): DE 1021244 A 19960525

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
DE 19621244	A1		6			

Abstract (Basic): DE 19621244 A

The component includes a control electrode on it's mesa side-wall
via which current flow through it is controlled. The parasitic
capacitance is minimised through a process sequence in which the
overlapping capacitances are no longer defined to be in the lateral
structure of the materials.

Planarisation steps are carried out with reference to the mesa
upper side along with controlled etching and deposition processes. The
control electrode is deposited on a jutting out part of the substrate
deposited insulator. Immediately before the deposition of the control
electrode, the gate insulation layer is deposited or thermally grown.
Current transport in the component, e.g. transistor, is in a vertical
direction.

USE/ADVANTAGE - For high frequency and vertical power transistor.
With channel length of less than 50 nm it is possible to provide
frequency of 100 GHz in silicon. Improved power characteristic due to
three-dimensional stacking. Gate width per chip surface area is
improved.

Dwg.1/4

Title Terms: SEMICONDUCTOR; COMPONENT; VERTICAL; MOS; TRANSISTOR; CONTROL;
ELECTRODE; DEPOSIT; JUT; PART; SUBSTRATE; DEPOSIT; INSULATE; GATE;
INSULATE; LAYER; DEPOSIT; THERMAL; GROW; IMMEDIATE; ELECTRODE; DEPOSIT

Derwent Class: U12

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/3105; H01L-029/423;
H01L-029/78

THIS PAGE BLANK (USPTO)

File Segment: EPI

?set subaccount p991690

27aug99 11:26:34 User238451 Session D1327.13

Sub account: P991697

\$3.65 0.176 DialUnits File351

\$3.55 1 Type(s) in Format 5

\$3.55 1 Types

\$7.20 Estimated cost File351

\$0.19 TYMNET

\$7.39 Estimated cost this search

\$33.51 Estimated total session cost 1.594 DialUnits

THIS PAGE BLANK (USPTO)